

VIA HAND DELIVERY
PATENT
36856.618

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Akira KATO Serial No.: Currently unknown Filing Date: Concurrently herewith For: OSCILLATOR DEVICE AND ELECTRONIC APPARATUS USING THE SAME	
--	--

11002 U.S. PRO
10/077787
02/20/02

TRANSMITTAL OF PRIORITY DOCUMENTS

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application Nos. **2001-081204**, filed **March 21, 2001** and **2001-169954**, filed **June 5, 2001**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,



Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

日本国特許庁
JAPAN PATENT OFFICE

J1002U.S. PTO
10/07/87
02/20/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2001年 6月 5日

出願番号
Application Number: 特願2001-169954

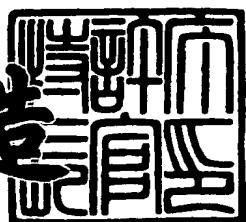
[ST.10/C]: [JP2001-169954]

出願人
Applicant(s): 株式会社村田製作所

2002年 1月 18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3116497

【書類名】 特許願
【整理番号】 31-0248
【提出日】 平成13年 6月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H03B 1/00
【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内
【氏名】 加藤 章
【特許出願人】
【識別番号】 000006231
【住所又は居所】 京都府長岡京市天神二丁目26番10号
【氏名又は名称】 株式会社村田製作所
【代表者】 村田 泰隆
【電話番号】 075-955-6731
【手数料の表示】
【予納台帳番号】 005304
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振器およびそれを用いた電子装置

【特許請求の範囲】

【請求項1】 ベースが共振回路に接続されるとともにコレクタが高周波的に接地された発振用のバイポーラトランジスタと、ゲートが接地されるとともにドレインが抵抗もしくはインダクタンス素子を含む負荷インピーダンスを介して接地された緩衝增幅用のFETを有し、

前記バイポーラトランジスタのコレクタを電源に接続し、前記バイポーラトランジスタのエミッタと前記FETのソースを接続することによって、前記バイポーラトランジスタと前記FETを主電流が流れる経路に関して前記電源に対して直列接続してなることを特徴とする発振器。

【請求項2】 前記バイポーラトランジスタがNPN型トランジスタで、前記FETがPチャネルFETであることを特徴とする、請求項1に記載の発振器。

【請求項3】 前記バイポーラトランジスタがPNP型トランジスタで、前記FETがNチャネルFETであることを特徴とする、請求項1に記載の発振器。

【請求項4】 前記共振回路が圧電素子を含むことを特徴とする、請求項1ないし3のいずれかに記載の発振器。

【請求項5】 前記共振回路がコイルを含むことを特徴とする、請求項1ないし3のいずれかに記載の発振器。

【請求項6】 前記共振回路がバラクタダイオードを含み、該バラクタダイオードに外部から印加される電圧によって発振周波数を変えることができることを特徴とする、請求項5に記載の発振器。

【請求項7】 請求項1ないし6のいずれかに記載の発振器を用いたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発振器および電子装置、例えば携帯電話などに用いられる水晶振動子を用いた基準周波数の発振器およびそれを用いた電子装置に関する。

【0002】

【従来の技術】

図6に、従来の発振器の回路図を示す。図6において、発振器1は、緩衝増幅用のNPN型のバイポーラトランジスタであるトランジスタQ1、発振用のNPN型のバイポーラトランジスタであるトランジスタQ2、水晶振動子X1、抵抗R1～R5、コンデンサC1～C5で構成されている。

【0003】

ここで、正の電源電圧が印加される電源端子+Vccは、コンデンサC1を介して接地されるとともに負荷インピーダンスである抵抗R1を介してトランジスタQ1のコレクタに接続されている。トランジスタQ1は、コレクタがコンデンサC2を介して出力端子Poに接続され、エミッタがトランジスタQ2のコレクタに接続されている。トランジスタQ2は、エミッタが負荷インピーダンスである抵抗R2とコンデンサC5からなる並列回路を介して接地されている。電源端子+Vccはまた、抵抗R3、抵抗R4、抵抗R5を順に介して接地されている。抵抗R3と抵抗R4の接続点はトランジスタQ1のベースに接続されるとともにコンデンサC3を介して接地されている。抵抗R4と抵抗R5の接続点はトランジスタQ2のベースに接続されるとともに水晶振動子X1を介して接地されている。そして、トランジスタQ2のベース-エミッタ間にコンデンサC4が接続されている。

【0004】

このように構成された発振器1において、トランジスタQ2や水晶振動子X1などから構成される発振回路は、基本的にはコレクタ接地で、コレクタ-ベース間に水晶振動子X1が接続され、ベース-エミッタ間にコンデンサC4が接続され、コレクタ-エミッタ間にコンデンサC5が接続された形のコルピツツ発振回路だが、コレクタは接地されずにトランジスタQ1のエミッタに接続されているために変形コルピツツ回路となっている。一方、トランジスタQ1は、ベースがコンデンサC3を介して高周波的に接地されたベース接地の緩衝増幅回路を構成

しており、トランジスタQ2のコレクタから出力される発振信号をエミッタで受けて増幅し、コレクタからコンデンサC2を介して出力端子Poに出力している。なお、発振器1の主電流は、抵抗R1、トランジスタQ1のコレクターエミッタ間、トランジスタQ2のコレクターエミッタ間、および抵抗R2を介して流れしており、この主電流が流れる経路に関してトランジスタQ1とQ2は電源に対して直列接続されている。また、抵抗R3、R4、R5は2つのトランジスタQ1、Q2にベース電流を流すためのバイアス抵抗である。

【0005】

発振器1においては、発振回路を変形コルピツ回路としているために、トランジスタQ2とQ1の間の結合用のコンデンサを省くことができる。

【0006】

【発明が解決しようとする課題】

図6に示した発振器1において、抵抗R2は発振回路をコルピツ回路として動作させるためには欠くことができない。すなわち、抵抗R2を取り除いてトランジスタQ2のエミッタを直接接地すると、コレクタとエミッタが直接接続されることになり、コルピツ回路を構成できなくなる。また、抵抗R1も緩衝増幅回路の増幅動作のためには欠くことができない。

【0007】

このように、主電流が流れる経路に2つの抵抗R1、R2が存在するために、抵抗R1、R2で消費する消費電力が少なくなく、消費電力低減の妨げになると問題がある。また、それによる電圧降下によってトランジスタQ1、Q2のコレクターエミッタ間電圧が低下し、増幅率の低下や電力効率の低下の原因になるという問題もある。特に、電子機器の低電圧化が進む中においては、電源電圧を上昇させることによってこの問題を解決することは困難であるという問題もある。

【0008】

本発明は上記の問題点を解決することを目的とするもので、低い電源電圧でも高い効率で動作させることのできる発振器およびそれを用いた電子装置を提供する。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の発振器は、ベースが共振回路に接続されるとともにコレクタが高周波的に接地された発振用のバイポーラトランジスタと、ゲートが接地されるとともにドレインが抵抗もしくはインダクタンス素子を含む負荷インピーダンスを介して接地された緩衝増幅用のFETを有し、

前記バイポーラトランジスタのコレクタを電源に接続し、前記バイポーラトランジスタのエミッタと前記FETのソースを接続することによって、前記バイポーラトランジスタと前記FETを主電流が流れる経路に関して前記電源に対して直列接続してなることを特徴とする。

【0010】

また、本発明の発振器は、前記バイポーラトランジスタがNPN型トランジスタで、前記FETがPチャネルFETであることを特徴とする。

【0011】

また、本発明の発振器は、前記バイポーラトランジスタがPNP型トランジスタで、前記FETがNチャネルFETであることを特徴とする

また、本発明の発振器は、前記共振回路が圧電素子を含むことを特徴とする。

【0012】

また、本発明の発振器は、前記共振回路がコイルを含むことを特徴とする。

【0013】

また、本発明の発振器は、前記共振回路がバラクタダイオードを含み、該バラクタダイオードに外部から印加される電圧によって発振周波数を変えることができる特徴とする。

【0014】

また、本発明の電子装置は、上記の発振器を用いたことを特徴とする。

【0015】

このように構成することにより、本発明の発振器においては、低い電源電圧でも高い効率で動作させ、消費電力の低減を図ることができる。

【0016】

また、本発明の電子装置においては、高効率化、低コスト化と小型化を図ることができる。

【0017】

【発明の実施の形態】

図1に、本発明の発振器の一実施例の回路図を示す。図1において、図6と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0018】

図1において、発振器10は、発振用のNPN型のバイポーラトランジスタであるトランジスタQ3、緩衝増幅用のPチャネルの接合型FETであるFETQ4、水晶振動子X1、抵抗R6～R8、コンデンサC6～C9で構成されている。このうち、バイポーラトランジスタはFETに比べてフリッカー雑音が小さく、発振器の発振信号の位相雑音を小さくできるというメリットがあり、発振用の能動素子に適している。

【0019】

ここで、正の電源電圧が印加される電源端子+Vccは、コンデンサC7を介して接地されるとともにトランジスタQ3のコレクタに接続されている。トランジスタQ3のエミッタは、コンデンサC9を介して接地されるとともに、FETQ4のソースに接続されている。FETQ4は、ゲートが接地され、ドレインがコンデンサC6を介して出力端子Poに接続されるとともに負荷インピーダンスである抵抗R6を介して接地されている。電源端子+Vccはまた、抵抗R7、抵抗R8を順に介して接地されている。抵抗R7と抵抗R8の接続点はトランジスタQ3のベースに接続されるとともに水晶振動子X1を介して接地されている。そして、トランジスタQ3のベース-エミッタ間にコンデンサC8が接続されている。

【0020】

このように構成された発振器10において、トランジスタQ3や水晶振動子X1などから構成される発振回路は、コレクタがコンデンサC7を介して高周波的に接地され、コレクタ-ベース間に水晶振動子X1が接続され、ベース-エミッタ間にコンデンサC8が接続され、コレクタ-エミッタ間にコンデンサC9が接

続された形のコレクタ接地のコルピツツ発振回路となっている。一方、FETQ4からなる緩衝増幅回路は、ゲートが直流的かつ高周波的に接地されたゲート接地の緩衝増幅回路を構成しており、トランジスタQ3のエミッタから出力される発振信号をFETQ4のソースで受けて増幅し、FETQ4のドレインからコンデンサC6を介して出力端子Poに出力している。なお、発振器10の主電流は、トランジスタQ3のコレクターエミッタ間、FETQ4のソースードレイン間、および抵抗R6を介して流れしており、この主電流が流れる経路に関してトランジスタQ3とFETQ4は電源に対して直列接続されている。また、抵抗R7、R8は2つのトランジスタQ3にベース電流を流すためのバイアス抵抗である。

【0021】

ここで、FETQ4からなる緩衝増幅回路について説明する。FETQ4はPチャネルのFETである。抵抗R6に電流が流れることによってFETQ4のドレイン電位はゲート電位に対して高くなる。すなわち、ドレイン電位に対してゲート電位の方が低くなり、自己バイアスによってFETQ4が動作する。

【0022】

このように動作する緩衝増幅回路は、トランジスタQ3からみるとエミッタに接続された負荷抵抗に見える。そのため、トランジスタQ3を含む発振回路はコレクタ接地で、緩衝増幅回路を負荷抵抗とするコルピツツ発振回路となっている。

【0023】

このように、発振器10においては、発振回路の負荷抵抗を緩衝増幅回路で代用しているために、専用の負荷抵抗を設ける必要が無い。そのため、従来の発振器1に比べて消費電力を低減することができる。また、負荷抵抗が少なくなった分だけ、トランジスタQ3のコレクターエミッタ間電圧やFETQ4のソースードレイン間電圧を大きくすることができ、増幅率や電力効率を向上させることもできる。さらには、従来の発振器1に比べて、抵抗が2個、コンデンサが1個それぞれ少なくなっており、部品点数の削減と、それによる実装面積の削減による小型化を図ることもできる。

【0024】

なお、発振回路10ではFETQ4のドレインを負荷インピーダンスである抵抗R6を介して接地していたが、負荷インピーダンスとしてはRFC (Radio Frequency Choke) コイルであっても構わない。ただ、その場合にはFETQ4のドレイン電位が直流通じて0Vとなってゲート電位と同じになるため、FETQ4としてはドレインーゲート間が0Vでも適切な電流が流れ、適切な相互コンダクタンスが得られるデプレッション型などのノーマリーオンタイプのFETを用いる必要がある。

【0025】

図2に、本発明の発振器の別の実施例の回路図を示す。図2において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0026】

図2において、発振器20は、発振器10におけるトランジスタQ3に代えてPNP型のバイポーラトランジスタであるトランジスタQ5を、FETQ4に代えてNチャネルの接合型FETであるFETQ6を備えている。トランジスタQ5とFETQ6の他の構成要素との接続関係は発振器10と全く同じである。さらに、電源端子-Vccには負の電源電圧が印加される。

【0027】

このように構成された発振器20においては、発振器10に対して、発振回路用のトランジスタと緩衝増幅回路用のFETにおいてチャネルの極性が反転し、それに合わせて電源の極性が反転しただけであるため、チャネルを構成する材質の違いによって多少の違いはあるものの、基本的には発振器10と同様の作用効果を奏するものである。

【0028】

図3に、本発明の発振器のさらに別の実施例の回路図を示す。図3において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0029】

図3において、発振器30は、発振器10における水晶振動子X1に代えてコンデンサC10、インダクタンス素子L1、RFCコイルL2、およびバラクタダイオードVDを備えている。ここで、インダクタンス素子L1の一端は抵抗R

7と抵抗R8の接続点（トランジスタQ3のベース）に接続され、他端はコンデンサC10を介してバラクタダイオードVDのカソードおよびRFCコイルL2の一端に接続されている。バラクタダイオードVDのアノードは接地されている。そして、RFCコイルL2の他端はコントロール端子Vcに接続されている。コンデンサC10はコントロール端子Vcから入力される直流のコントロール電圧がトランジスタQ3のベースに印加されないようにするDCカット用のコンデンサである。

【0030】

このように構成された発振器30において、インダクタンス素子L1とバラクタダイオードVDはトランジスタQ3を能動素子とする発振回路の共振回路を構成している。そして、コントロール端子Vcからバラクタダイオードのカソードに印加される直流電圧でバラクタダイオードVDの容量を変えることによって、共振回路の共振周波数、ひいては発振器30の発振周波数を変えることができる。すなわち、電圧制御発振器として動作させることができる。

【0031】

このように構成された発振器30においては、発振器10に対して共振回路の構成が異なっているだけであり、発振器としての基本的な構成は発振器10と同じであり、同様の作用効果を奏するものである。

【0032】

図4に、本発明の発振器のさらに別の実施例の回路図を示す。図4において、図2および図3と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0033】

図4において、発振器40は、発振器20における水晶振動子X1に代えて発振器30と同様のコンデンサC10、インダクタンス素子L1、RFCコイルL2、およびバラクタダイオードVDを備えている。すなわち、発振器40は、発振器20をベースに発振器30と同様の電圧制御発振器として構成したものである。

【0034】

このように構成された発振器40においても、発振器20に対して共振回路の構成が異なっているだけであり、発振器としての基本的な構成は発振器20と同じであり、同様の作用効果を奏するものである。

【0035】

なお、上記の各実施例においては、FETとして接合型FETを用いているが、FETのタイプは接合型に限られるものではなく、MOSFETやMESFETでも構わないものである。

【0036】

また、FETの構造は基本的にはゲートに対してドレインとソースが対称に構成されているため、ドレインとソースを逆にして接続しても構わないもので、同様の作用効果を奏するものである。

【0037】

図5に、本発明の電子装置の一実施例の斜視図を示す。図5において、電子装置の1つである携帯電話50は、筐体51と、その中に配置されたプリント基板52と、プリント基板52上に実装された本発明の発振器10を備えている。

【0038】

このように構成された携帯電話50においては、本発明の発振器10を用いているため、高効率化と低コスト化、小型化を図ることができる。

【0039】

なお、図5においては電子装置として携帯電話を示したが、電子装置としては携帯電話に限るものではなく、本発明の発振器を用いたものであれば何でも構わないものである。

【0040】

【発明の効果】

本発明の発振器によれば、ベースが共振回路に接続されるとともにコレクタが高周波的に接地された発振用のバイポーラトランジスタと、ゲートが直流通じて高周波的に接地されるとともにドレインが抵抗もしくはインダクタンス素子からなる負荷インピーダンスを介して接地された緩衝增幅用のFETを、電源に対して直列接続することによって、消費電力を低減し、能動素子の増幅率や電力効率

を向上させ、さらには部品点数や実装面積の削減による小型化を図ることができる。

【0041】

また、本発明の電子装置によれば、本発明の発振器を用いることによって、高効率化と低コスト化、小型化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の発振器の一実施例を示す回路図である。

【図2】

本発明の発振器の別の実施例を示す回路図である。

【図3】

本発明の発振器のさらに別の実施例を示す回路図である。

【図4】

本発明の発振器のさらに別の実施例を示す回路図である。

【図5】

本発明の電子装置の一実施例を示す斜視図である。

【図6】

従来の発振器を示す回路図である。

【符号の説明】

10、20、30、40…発振器

Q3、Q5…バイポーラトランジスタ

Q4、Q6…FET

C6～C10…コンデンサ

R6～R8…抵抗

X1…水晶振動子

L1…インダクタンス素子

L2…RFCコイル

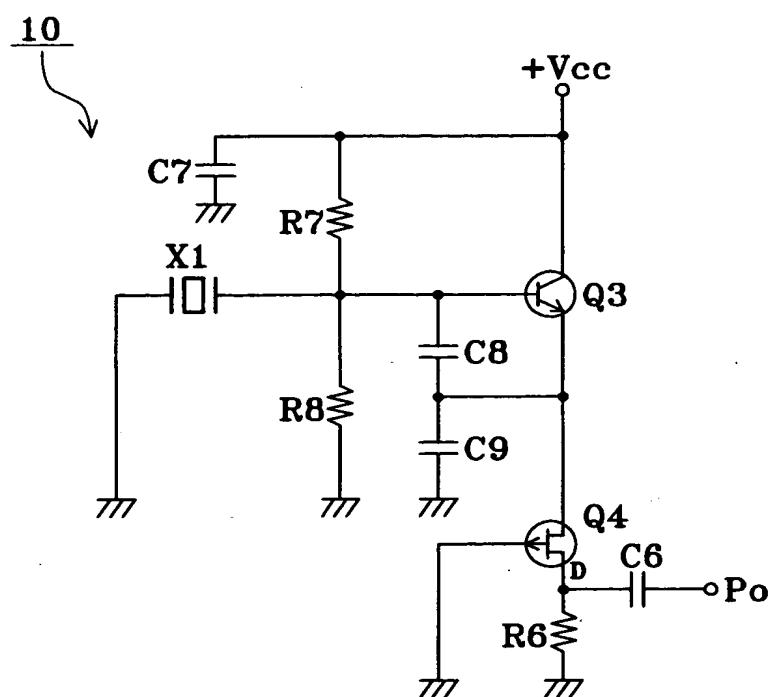
VD…バラクタダイオード

50…携帯電話

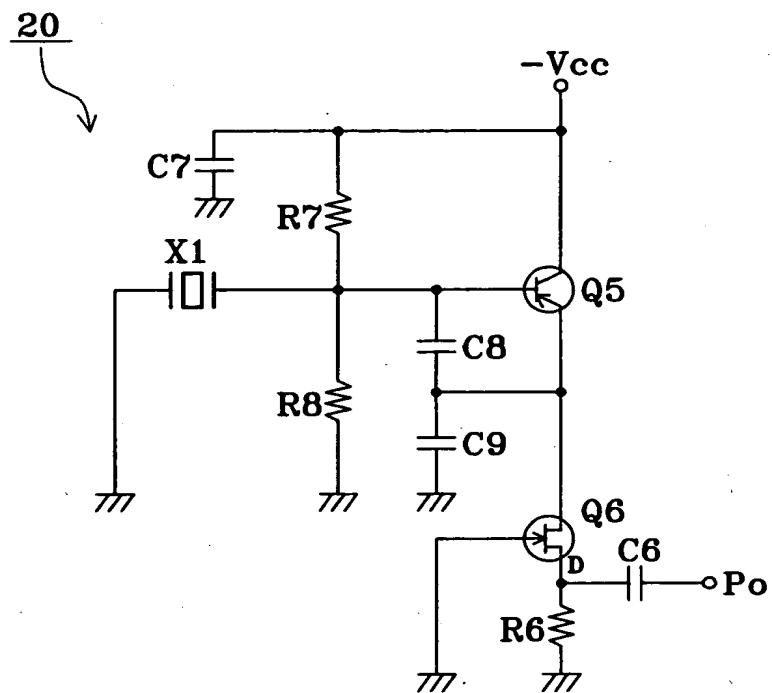
【書類名】

図面

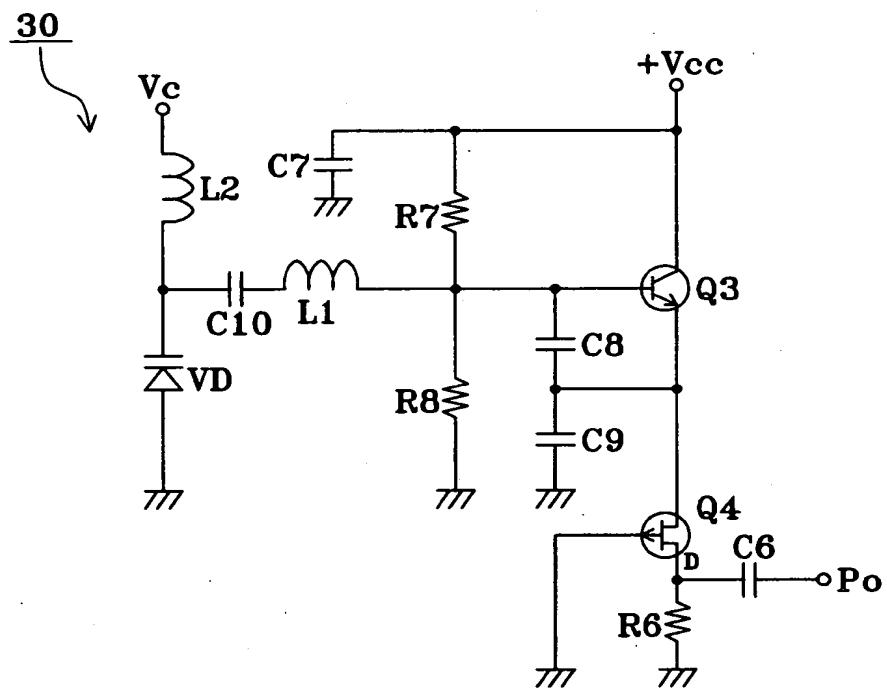
【図1】



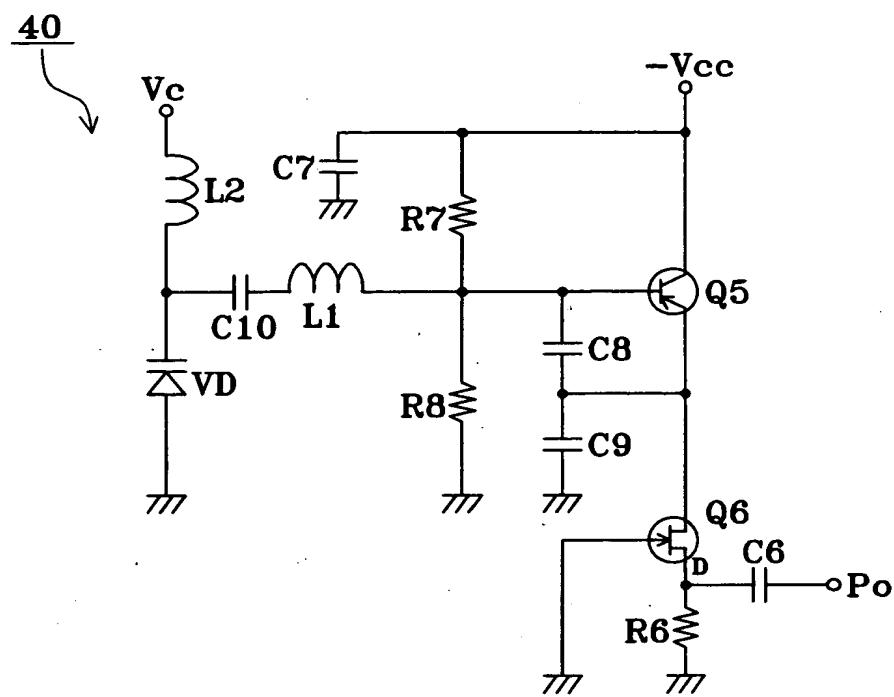
【図2】



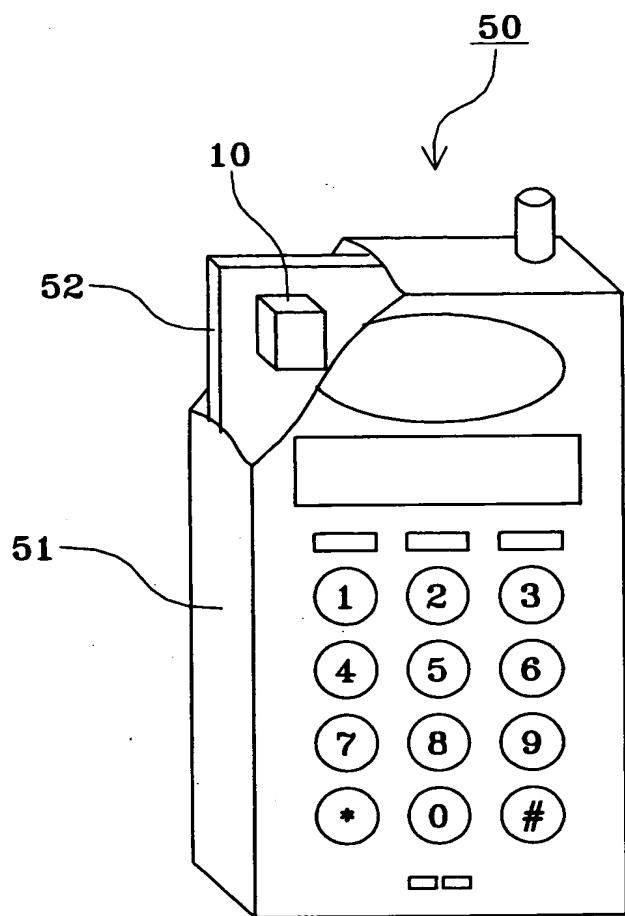
【図3】



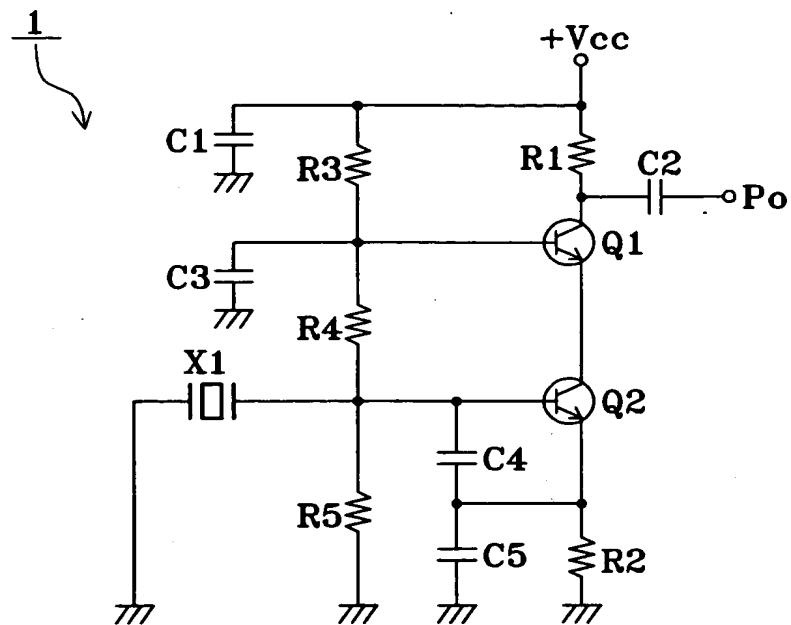
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 低い電源電圧でも高い効率で動作させることのできる発振器およびそれを用いた電子装置を提供する。

【解決手段】 ベースが水晶振動子X1に接続されるとともにコレクタがコンデンサC7を介して高周波的に接地された発振用のバイポーラトランジスタQ3と、ゲートが直流的かつ高周波的に接地されるとともにドレインが抵抗R6を介して接地された緩衝増幅用のFETQ6を主電流が流れる経路に関して直列接続する。

【効果】 消費電力を低減し、能動素子の増幅率や電力効率を向上させ、さらには部品点数や実装面積の削減による小型化を図ることができる。

【選択図】 図1

出願人履歴情報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所